

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-034643
 (43)Date of publication of application : 09.02.2001

(51)Int.Cl. G06F 17/50

H05K 3/00

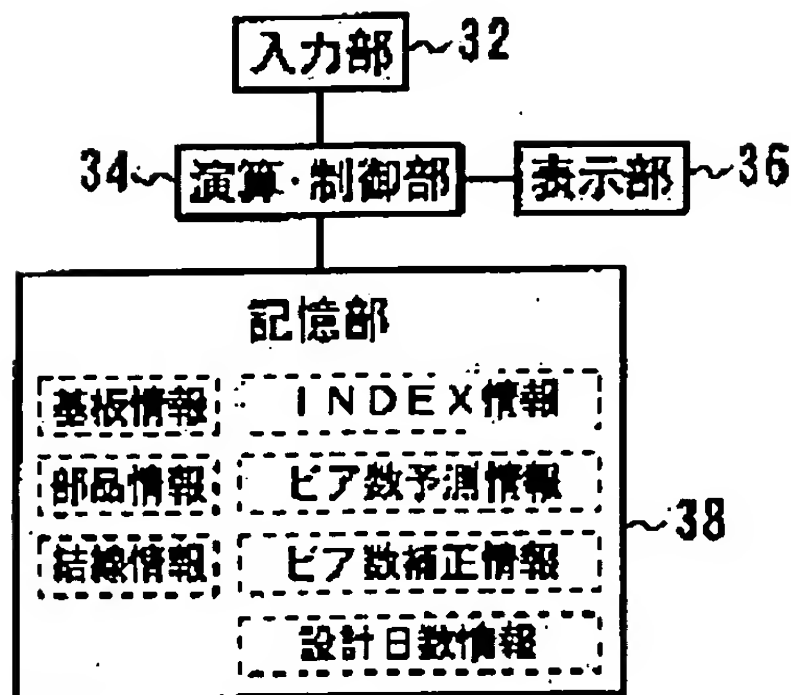
(21)Application number : 11-194611 (71)Applicant : INTERNATL BUSINESS
 MACH CORP <IBM>
 (22)Date of filing : 08.07.1999 (72)Inventor : NISHIO TOSHIHIKO
 NAKAMURA SHINJI

(54) DEVICE AND METHOD FOR DESIGN OF PRINTED CIRCUIT BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To select an optimum grade of a printed circuit board according to the ratio of the total wiring length that is possible to be wired on the circuit board to the total wiring length to be wired on the board.

SOLUTION: An input part 32 inputs the information on a printed circuit board to be designed, the information on the parts to be mounted on the circuit board and the parts connection information, a storage part 38 stores the information which are acquired from the past designs of circuit board in addition to the said circuit board information, parts information and connection information, a display part 36 displays various types of design information including those inputted information and an operation/control part 34 which carries out a prescribed operational processing by means of various information stored



in the part 38 and also controls the parts 32, 36 and 38 respectively are included. In such a constitution, the ratio is found, from those information of the part 38, of the

total wiring length that is possible to be wired on the circuit board to the total wiring length that is necessary for connecting the parts together and a grade of the circuit board is selected according to this decided rate.

.....
[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the printed-circuit board design equipment and the design approach of choosing the grade of the optimal substrate in more detail about the design equipment and the design approach of a printed-circuit board.

[0002]

[Description of the Prior Art] There is a substrate of what class distinguished with substrate formation techniques, such as a glass fabric epoxy group plate and a build-up substrate, in a printed-circuit board. This type of some which are distinguished [as opposed to / how many kinds / that substrate] by design bases (design Ruhr), such as "4S2P (four signal planes, two voltage planes)" and "6S2P (six signal planes, two voltage planes) etc.", exists. the class and type of a substrate -- responding -- the wiring width of face of the conductor of the substrate, wiring spacing, spacing of the land of a beer hole, and a conductor, the configuration of a wiring layer, and the conductor of a different wiring layer -- the beer hole which connects comrades differs from size, its formation approach, etc. of a land. Realizable wiring consistencies differ according to the class and type of a substrate. Grade can be attached to a substrate according to a realizable wiring consistency. The wiring consistency which realizes [the high substrate and high call of grade, and] a substrate with a realizable high wiring consistency calls a low substrate the low substrate of grade. The substrate of high grade can wire many signals per unit area compared with the substrate of low grade. If conditions, such as substrate size and a wiring total, are the same, since the degree of freedom of wiring becomes high in the higher substrate of grade, wiring will become easy and the design time will also become short. However, in order [which narrows wiring width of face and wiring spacing] to reach and to make a beer hole and its land small, a more advanced manufacturing technology is needed. Therefore, the manufacturing cost of the substrate also becomes high, so that grade becomes high.

[0003] The grade of a substrate is chosen by experience of a printed-circuit board designer from some selection candidates. In selection by experience of such an individual, the high grade beyond the need may be chosen or the low grade which cannot wire actually may be chosen. Selection of the high grade beyond the need raises a manufacturing cost compared with the substrate of the grade which should be chosen essentially. Moreover, if grade lower than the grade which should be chosen essentially is chosen, since wiring will become impossible, grade is rechosen and it must design again.

[0004]

[Problem(s) to be Solved by the Invention] The purpose of this invention asks for the rate of the total wire length which can wire a substrate, and the total wire length which should wire a substrate, and is to choose the grade of the optimal substrate based on this rate.

[0005]

[Means for Solving the Problem] The printed-circuit board design equipment of this invention includes a means to ask for the rate of the total wire length which can wire the area which subtracted and asked for the area of the part in which said wiring is impossible from a means to ask for the area of a substrate, a means to ask for the area of the part which cannot wire a substrate, and the area of said substrate, and which can be wired, and the total wire length required for the connection of said component.

[0006] Moreover, the printed-circuit board design approach of this invention contains

the step which asks for the rate of the total wire length which can wire the area which subtracted and asked for the area of the part in which said wiring is impossible from the step which asks for the area of a substrate, the step which asks for the area of the part which cannot wire a substrate, and the area of said substrate, and which can be wired, and the total wire length required for the connection of said component.

[0007]

[Embodiment of the Invention] Next, the design equipment of the printed-circuit board concerning this invention and the gestalt of operation of the design approach are explained in detail based on a drawing. The basic configuration of the printed-circuit board design equipment concerning this invention is shown in drawing 1. The input section 32 is used for the input of information required for the design of substrate information, components information, connection information, etc. The storage section 38 memorizes information, such as the substrate information and components information that it was inputted from the input section 32, and connection information. A display 36 displays inputted information and various information about a design. An operation and a control section 34 perform control of the input section 32, a display 36, and the storage section 38 while performing predetermined data processing using the various information inputted into the storage section 38. The printed-circuit board design equipment of this invention containing these input section 32, a display 36, an operation and a control section 34, and the storage section 38 also includes the function of conventional printed-circuit board design equipment. Moreover, the various information acquired from the printed-circuit board designed in the past, such as the number prediction information of beer mentioned later, the number amendment information of beer, and design days information, is beforehand memorized by the storage section 38 of the printed-circuit board design equipment of this invention. Moreover, the information on the index mentioned later (INDEX information) is also memorized by the storage section 38.

[0008] The information about substrates, such as a dimension of a substrate and its area, is included in the substrate information inputted from the input section 32. The information about the grade of a selection candidate's various substrates is also included in substrate information. The information about components, such as a configuration of each part article, a dimension, the number of terminals, and a part number, and the information about the arrangement location of components are included in components information. In connection information, they are components (terminal of components). Information, such as connection information, and the number of signals of components, the number of power sources, is included. These substrates information, components information, and connection information also include the information inputted into conventional printed-circuit board design equipment.

[0009] The design equipment of the printed-circuit board of this invention asks for the rate of the total wire length which can wire a substrate, and the total wire length which should wire a substrate from the substrate of a selection candidate's various grade. Since the degree of freedom of wiring becomes high so that the total wire length which can wire a substrate compared with the total wire length which should wire is large, wiring becomes easy and possibility that wiring will be realizable becomes high. On the contrary, since the degree of freedom of wiring becomes low so that the total wire length which can wire a substrate compared with the total wire length which should wire is small, wiring becomes difficult and possibility that wiring will be realizable becomes low. Therefore, if the value of the above-mentioned rate whose wiring is attained based on the printed-circuit board designed in the past is calculated

beforehand, it can judge whether it can wire based on the above-mentioned rate to each grade of a selection candidate. Hereafter, this rate is also called INDEX (index). With this operation gestalt $INDEX = (\text{total wire length which can wire substrate}) / (\text{the total wire length which should wire a substrate}) \dots (1)$

A definition is given.

[0010] An example of the grade of a substrate and relation with Above INDEX is shown in drawing 2. However, grade "FR4 5LPC" is PTH (Plated Through Hole) which used glass fabric epoxy material. It is the substrate with which five wiring is prepared in the tooth space between lands of beer, and grade "SLC(Surface Laminar Circuit: IBM) 1+1 RFP" is a substrate which has an every one layer build up layer in the both sides of a substrate and which made up for PTH by resin and enabled wiring of a resin top. Since a wiring consistency becomes high so that the grade of a substrate becomes high, the total wire length which can wire (1)-type substrate becomes large, and the value of INDEX also becomes large. Moreover, since the degree of freedom of wiring becomes high so that the value of INDEX is large, printed-circuit board design equipment of overflow of automatic wiring performed by count decreases, and design days (TAT: Turn Around Time) also become short. Here, overflow expresses the number of wiring which was not able to carry out automatic wiring. In order that an engineer may wire manually, the number of manual wiring of the part which was not able to wire increases, so that overflow becomes large, and design days increase it exponentially.

[0011] Thus, correlation is between the grade of a substrate, and INDEX and correlation is also between INDEX and design days. The relation between these INDEX(s) and design days is beforehand inputted into the storage section 38 as design days information. Design days information is created based on the data of the printed-circuit board designed in the past. Therefore, the value (range) of INDEX according to the design period for which it wishes is chosen from design days information, and it memorizes as INDEX information in the storage section 38. For example, the range of the value of INDEX corresponding to the 5th to ten days (4.25-4.75) is chosen from design days information and INDEX is made to memorize the value (4.25 and 4.75) of this range to design from the 5th in ten days. And the value of INDEX is calculated from the substrate of a selection candidate's various grade, and the substrate of grade with which INDEX serves as a value of said range is chosen. Thereby, the substrate of the low grade of cost which can be wired can be chosen.

[0012] (1) The total value of the shortest length (Manhattan length) of the connection of components is used for the total wire length which should wire the substrate of a formula. As shown in drawing 3, the shortest length (Manhattan length) is not the actual minimum distance (L_1, L_2, \dots, L_n) but the minimum distance ($L_{x1}+L_{y1}, L_{x2}+L_{y2}, \dots, L_{xn}+L_{yn}$) expressed with the sum of the distance of two perpendicular directions (the direction of X, and the direction of Y). These shortest length (Manhattan length) is computed from connection information.

[0013]

(The total wire length which should wire a substrate) = (total value of the Manhattan length)

$$= (L_{x1}+L_{y1}) + (L_{x2}+L_{y2}) + \dots + (L_{xn}+L_{yn}) \dots (2)$$

[0014] (1) Ask for the total wire length which can wire the substrate of a formula from the area of the part which can wire a substrate. It asks for the area of the part which can wire from the wiring layer of the whole substrate. When drawing wiring, the datum line with which regular intervals intersect perpendicularly is formed on a substrate, and wiring is drawn on this datum line. Generally this datum line is called a

grid. It can be considered that the minimum value of wiring spacing is spacing of this grid. Therefore, it can ask for the total wire length which can wire a substrate from the area which can be wired and the grid interval of a substrate.

[0015]

(The total wire length which can wire a substrate) = (wiring of substrate is possible Noh mask product) / (grid interval) ... (3)

[0016] Here, it can ask for the area of (3)-type substrate which can be wired from the area of the part in which the area of a substrate and wiring of a substrate are impossible.

(Wiring of a substrate is possible a Noh mask product) = (area of a substrate) - (area of the part which cannot wire)

... (4)

(4) It can ask for the area of the substrate of a formula from substrate information. However, with the substrate 10 of the L character mold shown in the substrate 8 and drawing 4 (b) of the square mold shown, for example in drawing 4 (a), even when the area of a substrate is the same, as the dashed line which connects between Points AB shows, the degree of freedom of wiring becomes [the direction of the substrate 8 of a square mold] high. That is, even when the area of a substrate is the same, the degree of freedom of wiring changes with substrate configurations. This means that an error arises in the value of INDEX by the difference in the configuration of a substrate.

[0017] With this operation gestalt, the substrate effective area of the imagination which took the substrate configuration into consideration is used as an area of (4)-type substrate. It asks for effective area from the actual area S_a (drawing 4 (b)) of a substrate, and the maximum area S_m of imagination (drawing 4 (c)). It is a correction factor k_k from the rate of specifically as opposed to the virtual maximum area S_m of the substrate area S_a . $= S_a / S_m$ is calculated, the substrate area S_a is multiplied by this correction factor k , and it is effective area S_{eSe} . $= k \times S_a$ is calculated. The virtual maximum area S_m is the area of the square on the basis of the outermost periphery of a substrate. Therefore, a correction factor k becomes so large that the configuration of a substrate is close to a square. However, it is $0 < k < 1$.

[0018] By performing such amendment, as shown in drawing 4 (d), it can ask for the substrate area (effective area S_e) of the imagination which took the configuration of a substrate into consideration. Effective area S_e is an area smaller than the actual substrate area S_a which took the area of a part with the low degree of freedom of wiring into consideration. By adding such amendment to substrate area (S_a), the error of INDEX produced from change of the degree of freedom of wiring by the difference in a substrate configuration can be decreased.

[0019] Moreover, the area of the part which cannot wire (4) types is the sum total of the area of the parts of the substrate rim section, the hole for assemblies, an electric conduction pad, a pin hole, a beer hole, etc. which cannot be wired. part (24) which the substrate rim section cannot wire in the substrate periphery section as shown in drawing 3 it is . The hole for assemblies is a hole which lets the screw for fixing a substrate etc. pass. An electric conduction pad is a terminal pad for connecting the lead 22 of components 28 to a substrate, as shown in drawing 3 . A pin hole is a hole for inserting the pin of components. A beer hole is a hole for interlayer connections. However, the area of these holes also contains the area of the land of the hole.

[0020] It can ask for the area of the above-mentioned substrate rim section, the area of the hole for assemblies, and its number from substrate information. Moreover, it can ask for the area of a pad, the area of a pin hole, and those numbers based on components information. However, the number of beer holes is not determined before

wiring. Therefore, it cannot usually ask for the gross area of a beer hole before wiring. [0021] By the design equipment and the design approach of a printed-circuit board of this invention, the number of beer holes is predicted before wiring. As shown in drawing 5, specifically, the number of beer holes is predicted to be the grade of a substrate from the number of signals and the number of power sources of components. Information required to predict such a number of beer holes is beforehand inputted into the storage section 38 as number prediction information of beer. The number prediction information of these beer is created based on the data of the printed-circuit board designed in the past. In drawing 5, grade "SLC (1+1 - 4S2P)" (here, it is SLC:Surface Laminar Circuit) is the substrate which had an every one layer build up layer in both sides, and used FR4 (glass fabric epoxy material) of 4S2P (four signal planes and two voltage planes) for the substrate of the base. Moreover, the number of beer holes is PTH (Plated Through Hole). It asks as the sum of the number of beer, and the number of photograph beer. "FV1/BV1" which forms photograph beer expresses the layer [1st] build-up layer formed on FR4 substrate, and "FV2/BV2" expresses the build-up layer of the two-layer eye on it.

[0022] It becomes possible to ask for the number of beer holes before wiring by using a means to predict the number of beer holes to be the grade of such a substrate from the number of signals and the number of power sources of components. It can compute wiring impossible area by the size of a beer hole being decided by grade of a substrate, and asking for the gross area of a beer hole from the number of beer holes for which it asked. Thereby, it becomes possible to calculate INDEX from the substrate of a selection candidate's various grade before wiring.

[0023] Moreover, the wiring layer of the whole printed-circuit board contains the signal plane and the voltage plane, and can also amend the number of beer holes for which it asked according to the number of these signal planes. As shown in drawing 6, specifically, the number of beer holes which asked for the correction factor according to a signal number of layers, multiplied the number of beer holes by this correction factor, and asked for it is amended. Information required for amendment of such a number of beer holes is beforehand inputted into the storage section 38 as number amendment information of beer. The number amendment information of beer is created based on the data of the printed-circuit board designed in the past. By using a means to amend the number of beer holes according to such a signal number of layers, the number of beer holes can be predicted more correctly. Thereby, it can ask for the gross area of a beer hole more correctly.

[0024] Moreover, by the design equipment and the design approach of a printed-circuit board of this invention, in addition to the area of a beer hole and its land, as shown in drawing 7 (a), the wiring inhibition area by forming a beer hole and its land 20 is also taken into consideration, and it asks for the area S_b of the part which cannot wire. Drawing 7 (a) shows the wiring inhibition area by the beer hole and its land 20. It is the lay length as the wiring 42 which passes along a beer hole and its land 20 with same die-length a , and the value of the die length is beforehand set up based on the data of the printed-circuit board designed in the past. When spacing of the grid which serves as [diameter / of a beer hole and its land 20] criteria of d and wiring in R , a beer hole, and spacing of the land 20 and wiring is set with G , the wiring impossible area S_b by having formed a beer hole and its land 20 is $S_b = x(D \cdot G) a$ It can express (5), however $D = (R + 2d) / \text{root}2$. In addition, $\text{root}n$ expresses the square root of n . The area which can be found in Dxa is equivalent to the area during wiring a beer hole and whose land 20 of its are pinched, and the area for which it asks by Gxa is equivalent to the area of wiring which passes along a beer hole and its land 20. S_b expresses the area

of the wiring 44 which was able to be drawn if beer and a land 20 were not provided as shown in drawing 7 (b). The value of a is beforehand set by having formed one beer and a land 20 based on the past substrate data to the value showing the wiring 42 lay length which passes along the beer and the land 20 of the field whose wiring becomes impossible, 2.54 [for example,], [mm].

[0025] Thus, it can ask for the wiring impossible area by preparing a hole and its land more correctly by asking for the wiring inhibition area by preparing a hole and its land in addition to the area of a hole and its land. Thereby, it can ask for the area of a substrate which can be wired more correctly.

[0026] The printed-circuit board design procedure which used the printed-circuit board design equipment of this invention for drawing 8 is shown. The range of 4.25-4.75 is set to INDEX information. This range changes with design days to wish. With this operation gestalt, design days have chosen the value (range) of INDEX used as the 5th - the 10th from the design days information shown in drawing 2 . substrate information is inputted (S100) -- the logical circuit which connects between components is inputted as components information and connection information (S102). As shown in drawing 2 , the information about six kinds of a selection candidate's grade is included in substrate information. INDEX is computed for arrangement of components for every grade of a deed (S104) and a substrate (S106). An example of the calculation result of INDEX for every grade is shown in drawing 2 .

[0027] it judges whether the grade from which INDEX serves as predetermined range (4.25-4.75) exists (S110) -- arrangement of components will be changed if there is no grade from which INDEX serves as predetermined range (S112) -- INDEX is calculated again (S106). If there is grade from which INDEX serves as predetermined range, the substrate of the grade will be chosen. The substrate of "SLC 1+1" is chosen in the example shown in drawing 2 . When there is two or more grade from which INDEX serves as said predetermined range, if cost is thought as important, the low substrate of grade will be chosen, and if a design time is thought as important, the high substrate of grade will be chosen. If the grade of a substrate is decided, wiring of Rhine (Critical net) which should be noticed about signal qualities, such as noises, such as power-source (Power) Rhine, grand (Gnd) Rhine, high frequency Rhine, high current Rhine, and Bath Rhine, and delay, will be designed (S114). Manual wiring of a deed (S116) and the part which was not able to carry out automatic wiring is carried out for automatic wiring after that (S118).

[0028] moreover, each field [(1 1) and ... which were classified into 8x4 as INDEX was shown in drawing 9 besides asking from the whole substrate, (1, 8), ..., (4, 1), and ...] (4 8) every -- INDEX is calculated, these can be averaged and the whole INDEX can also be calculated. It asks for each parameter required to calculate each INDEX for every field. when not asking for every field, the number of signals of the field to the number of signals and the number of power sources of all fields and the number of power sources are comparatively alike, and it responds and asks for the parameter of the field. For example, field (1 1) It asks for the number of beer holes from x (the number of beer holes of all fields) [/ (the number of signals and the number of power sources of a field (1 1)) (the number of signals and the number of power sources of all fields)].

[0029] When INDEX is calculated for every field, the effectiveness of arrangement modification (S112), manual wiring (S118), etc. can be raised. For example, when INDEX of a specific region is extremely small, it means that wiring is focusing on the field. Then, it can carry out moving some of components in the field to other fields etc., wiring can be distributed to other fields, and INDEX of the field can be brought close to the whole average. Moreover, after carrying out manual wiring of the inside of the field,

it can perform performing automatic wiring etc. Thus, if INDEX is calculated for every classified field, management when the problem has arisen locally will become easy.

[0030] As mentioned above, although many things were explained based on the drawing about the design equipment of the printed-circuit board concerning this invention, and the example of the design approach, this invention is not limited to the design equipment and the design approach of a printed-circuit board which were illustrated. For example, when the grade of a substrate is already determined on account of the budget etc., this invention can be used as a means to predict design days. In addition, this invention can be carried out in the mode which added the amelioration which becomes various based on this contractor's knowledge in the range which does not deviate from the meaning, correction, and deformation.

.....
[Brief Description of the Drawings]

[Drawing 1] It is drawing showing an example of the basic configuration of the printed-circuit board design equipment concerning this invention.

[Drawing 2] It is drawing showing an example of the relation between the grade of a substrate, INDEX, and design days.

[Drawing 3] It is drawing explaining an example of the area which cannot wire a substrate, and the substrate rim section and a putt part are shown. Moreover, it is also drawing explaining an example of the shortest length (Manhattan length) of the connection between components.

[Drawing 4] It is drawing explaining the area of a substrate and is this drawing (b). It is drawing showing an actual area, and is this drawing (c). It is drawing showing the maximum area of imagination, and is this drawing (d). It is drawing showing the effective area of imagination.

[Drawing 5] It is an example of the data for expecting the number of beer holes from the grade, the number of signals, and the number of power sources of a substrate.

[Drawing 6] It is an example of the data for asking for the correction factor of the number of beer holes from the grade and the signal number of layers of a substrate.

[Drawing 7] It is drawing explaining the wiring inhibition area by preparing a hole.

[Drawing 8] It is drawing showing an example of the substrate design procedure using this invention.

[Drawing 9] It is drawing showing the substrate classified into two or more fields.

[Description of Notations]

10: Printed-circuit board

20: Hole

22: Pad

24: Substrate periphery section

26: The classified field

28: Components

32: Input section

34: An operation and a control section

36: Display

38: Storage section

42 44: Wiring

[Claim(s)]

[Claim 1] The substrate information on the printed-circuit board to design, the components information mounted in this substrate, It asks for the rate of the total wire length which can wire this substrate, and the total wire length required for the connection of these components based on the connection information on these components. A means to be printed-circuit board design equipment which chooses grade of a substrate based on this rate, and to ask for the area of a substrate, As the total wire length which can wire the area which subtracted and asked for the area of the part in which said wiring is impossible from a means to ask for the area of the part which cannot wire a substrate, and the area of said substrate, and which can be wired, and the total wire length required for the connection of said component, comparatively Printed-circuit board design equipment including a means to ask for (it is hereafter called an index).

[Claim 2] Printed-circuit board design equipment of claim 1 including a means detect coincidence with the value of a means memorize the correspondence relation between the design days of a printed-circuit board, and said index, a means memorize the value of the index corresponding to the design days to wish calculated from said correspondence relation, and the index of the printed-circuit board to design, and the value of the index corresponding to said design days to wish.

[Claim 3] Printed-circuit board design equipment of claim 1 including a means by which a means to ask for the area of the part in which said wiring is impossible predicts the number of beer holes prepared in this substrate based on the grade, the number of signals, and the number of power sources of a substrate, or claim 2.

[Claim 4] Printed-circuit board design equipment of claim 3 with which a means to predict said number of beer holes includes a means to amend said predicted number of beer holes, based on a signal number of layers.

[Claim 5] Printed-circuit board design equipment of either claim 3 in which the area of the part in which said wiring is impossible contains the wiring inhibition area by having prepared said beer hole and its land in the substrate, or claim 4.

[Claim 6] Design equipment of the printed-circuit board of claim 5 which is the area which carried out the multiplication of the die length during wiring pinch the predetermined die length of the wiring direction which passes along said beer hole and its land, said beer hole, and its land of said whose wiring inhibition area, and found it.

[Claim 7] Design equipment of the printed-circuit board of claim 6 which is the area which subtracted the area which carried out the multiplication of the die length equivalent to the width of face of wiring with which said wiring inhibition area passes along the predetermined die length of the wiring direction which passes along said beer hole and its land, said beer hole, and its land, and found it from said area for which carried out multiplication and it asked, and asked for it.

[Claim 8] Printed-circuit board design equipment of either claim 1 which asks two or more fields for said substrate, and asks for said index for every partition opium poppy and each [which was classified] field thru/or claim 7.

[Claim 9] Printed-circuit board design equipment of either claim 1 whose area of said substrate is the effective substrate area of the imagination which multiplied said actual substrate area by the ratio of an actual substrate area to the maximum substrate area of the imagination on the basis of the substrate outermost periphery, and asked for it thru/or claim 8.

[Claim 10] The substrate information on the printed-circuit board to design, the components information mounted in this substrate, It asks for the rate of the total wire length which can wire this substrate, and the total wire length required for the

connection of these components based on the connection information on these components. The step which is the printed-circuit board design approach which chooses grade of a substrate based on this rate, and asks for the area of a substrate, As the total wire length which can wire the area which subtracted and asked for the area of the part in which said wiring is impossible from the step which asks for the area of the part which cannot wire a substrate, and the area of said substrate, and which can be wired, and the total wire length required for the connection of said component, comparatively The printed-circuit board design approach containing the step which asks for (it is hereafter called an index).

[Claim 11] The printed-circuit board design approach of claim 10 containing the step which chooses the grade of a substrate so that the value of the step which chooses the value of the index corresponding to the design days to wish from the correspondence relation between the design days of a printed-circuit board and said index, and the index of the printed-circuit board to design may turn into a value of the index corresponding to said design days to wish.

[Claim 12] The printed-circuit board design approach of claim 10 containing the step the step which asks for the area of the part in which said wiring is impossible predicts the number of beer holes prepared in this substrate to be based on the grade, the number of signals, and the number of power sources of a substrate, or claim 11.

[Claim 13] The printed-circuit board design approach of claim 12 that the step which predicts said number of beer holes contains the step which amends said predicted number of beer holes based on a signal number of layers.

[Claim 14] The design approach of the printed-circuit board of claim 12 containing the step which asks for the wiring inhibition area by having prepared in a substrate said beer hole containing the step which carries out the multiplication of the predetermined die length of the wiring direction where the step which asks for the area of the part in which said wiring is impossible passes along the step which finds the die length during wiring whose beer hole and its land of said pinch, the die length during wiring for which it asked, said beer hole, and its land, and its land, or claim 13.

[Claim 15] The design approach of the printed-circuit board of claim 14 containing the step which carries out the multiplication of the die length equivalent to the wiring width of face by which the step which asks for said wiring inhibition area passes along the predetermined die length of the wiring direction which passes along said beer hole and its land, said beer hole, and its land, and asks for a wired area, and the step which subtracts the area for said wiring from said wiring inhibition area.

[Claim 16] The printed-circuit board design approach of either claim 10 containing the step which classifies said substrate into two or more fields, and the classified step which asks for said index for every field thru/or claim 15.

[Claim 17] The printed-circuit board design approach of either claim 10 in which the step which asks for the area of said substrate contains the step which asks for the maximum substrate area of the imagination on the basis of the substrate outermost periphery, the step which asks for the ratio of an actual substrate area to the maximum substrate area for which it asked, and the step which multiplies said actual substrate area by the ratio for which it asked thru/or claim 16.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-34643
(P2001-34643A)

(43) 公開日 平成13年2月9日 (2001.2.9)

(51) Int.Cl.	識別記号	F I	テ-マ-ト (参考)
G 0 6 F 17/50		G 0 6 F 15/60	6 5 8 J 5 B 0 4 6
H 0 5 K 3/00		H 0 5 K 3/00	D

審査請求 有 請求項の数17 O L (全 8 頁)

(21) 出願番号 特願平11-194611
(22) 出願日 平成11年7月8日 (1999.7.8)

(71) 出願人 390009531
インターナショナル・ビジネス・マシー
ズ・コーポレーション
INTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)
(74) 代理人 100086243
弁理士 坂口 博 (外2名)

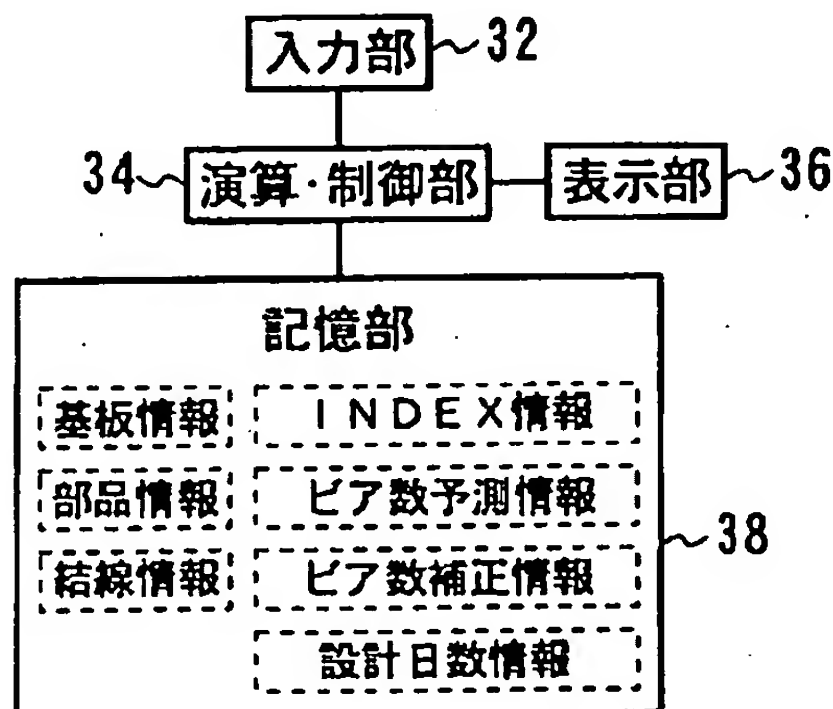
最終頁に続く

(54) 【発明の名称】 プリント配線基板設計装置及び設計方法

(57) 【要約】

【目的】 プリント配線基板の設計において、最適な基
板のグレードを選択する。

【構成】 設計するプリント配線基板の基板情報、該基
板に実装する部品情報、該部品の結線情報の入力に用い
る入力部32と、基板情報、部品情報、結線情報及び過
去の設計より得られた情報が記憶される記憶部38と、
入力された情報や設計に関する各種情報を表示する表示
部36と、記憶部38の各種情報を用いて所定の演算処
理を行うと共に、入力部32、表示部36及び記憶部3
8の制御を行う演算・制御部34とを含み、記憶部38
の各種情報に基づいて、基板に配線できる総配線長と部
品の結線に必要な総配線長との割合を求め、この割合に
基づいて基板のグレードの選択を行う。



【特許請求の範囲】

【請求項1】 設計するプリント配線基板の基板情報、該基板に実装する部品情報、該部品の結線情報に基づいて、該基板に配線できる総配線長と該部品の結線に必要な総配線長との割合を求め、この割合に基づいて基板のグレードの選択を行うプリント配線基板設計装置であって、

基板の面積を求める手段と、

基板の配線不可能な部分の面積を求める手段と、

前記基板の面積から前記配線不可能な部分の面積を減算して求めた配線可能面積に配線できる総配線長と前記部品の結線に必要な総配線長との割合（以下、指標と呼ぶ）を求める手段とを含むプリント配線基板設計装置。

【請求項2】 プリント配線基板の設計日数と前記指標との対応関係を記憶する手段と、

前記対応関係から求めた、希望する設計日数に対応する指標の値を記憶する手段と、

設計するプリント配線基板の指標の値と、前記希望する設計日数に対応する指標の値との一致を検出する手段とを含む請求項1のプリント配線基板設計装置。

【請求項3】 前記配線不可能な部分の面積を求める手段が、基板のグレードと信号数及び電源数に基づいて、該基板に設けるビア・ホール数を予測する手段を含む請求項1又は請求項2のプリント配線基板設計装置。

【請求項4】 前記ビア・ホール数を予測する手段が、信号層数に基づいて、前記予測したビア・ホール数を補正する手段を含む請求項3のプリント配線基板設計装置。

【請求項5】 前記配線不可能な部分の面積が、前記ビア・ホール及びそのランドを基板に設けたことによる配線障害面積を含む請求項3又は請求項4のいずれかのプリント配線基板設計装置。

【請求項6】 前記配線障害面積が、前記ビア・ホール及びそのランドを通る配線方向の所定の長さとの前記ビア・ホール及びそのランドを挟む配線間の長さとの乗算して求めた面積である請求項5のプリント配線基板の設計装置。

【請求項7】 前記配線障害面積が、前記ビア・ホール及びそのランドを通る配線方向の所定の長さとの前記ビア・ホール及びそのランドを通る配線の幅に相当する長さとの乗算して求めた面積を、前記乗算して求めた面積から減算して求めた面積である請求項6のプリント配線基板の設計装置。

【請求項8】 前記基板を複数の領域に区分けし、区分けされた各領域ごとに前記指標を求める請求項1乃至請求項7のいずれかのプリント配線基板設計装置。

【請求項9】 前記基板の面積が、基板最外周部を基準とした仮想の最大基板面積に対する実際の基板面積の比率を前記実際の基板面積に乗じて求めた仮想の有効基板面積である請求項1乃至請求項8のいずれかのプリント

配線基板設計装置。

【請求項10】 設計するプリント配線基板の基板情報、該基板に実装する部品情報、該部品の結線情報に基づいて、該基板に配線できる総配線長と該部品の結線に必要な総配線長との割合を求め、この割合に基づいて基板のグレードの選択を行うプリント配線基板設計方法であって、

基板の面積を求めるステップと、

基板の配線不可能な部分の面積を求めるステップと、

10 前記基板の面積から前記配線不可能な部分の面積を減算して求めた配線可能面積に配線できる総配線長と前記部品の結線に必要な総配線長との割合（以下、指標と呼ぶ）を求めるステップとを含むプリント配線基板設計方法。

【請求項11】 プリント配線基板の設計日数と前記指標との対応関係から、希望する設計日数に対応する指標の値を選択するステップと、

20 設計するプリント配線基板の指標の値が、前記希望する設計日数に対応する指標の値となるように基板のグレードを選択するステップとを含む請求項10のプリント配線基板設計方法。

【請求項12】 前記配線不可能な部分の面積を求めるステップが、基板のグレードと信号数及び電源数に基づいて、該基板に設けるビア・ホール数を予測するステップを含む請求項10又は請求項11のプリント配線基板設計方法。

【請求項13】 前記ビア・ホール数を予測するステップが、信号層数に基づいて、前記予測したビア・ホール数を補正するステップを含む請求項12のプリント配線基板設計方法。

30 【請求項14】 前記配線不可能な部分の面積を求めるステップが、前記ビア・ホール及びそのランドを挟む配線間の長さを求めるステップと、求めた配線間の長さとの前記ビア・ホール及びそのランドを通る配線方向の所定の長さとの乗算するステップとを含む、前記ビア・ホール及びそのランドを基板に設けたことによる配線障害面積を求めるステップを含む請求項12又は請求項13のプリント配線基板の設計方法。

40 【請求項15】 前記配線障害面積を求めるステップが、前記ビア・ホール及びそのランドを通る配線方向の所定の長さとの前記ビア・ホール及びそのランドを通る配線幅に相当する長さとの乗算して配線分の面積を求めるステップと、

前記配線障害面積から前記配線分の面積を減算するステップとを含む請求項14のプリント配線基板の設計方法。

50 【請求項16】 前記基板を複数の領域に区分けするステップと、

区分けされた各領域ごとに前記指標を求めるステップとを含む請求項10乃至請求項15のいずれかのプリント配線基板設計方法。

【請求項17】 前記基板の面積を求めるステップが、基板最外周部を基準とした仮想の最大基板面積を求めるステップと、

求めた最大基板面積に対する実際の基板面積の比率を求めるステップと、

求めた比率を前記実際の基板面積に乗ずるステップとを含む請求項10乃至請求項16のいずれかのプリント配線基板設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プリント配線基板の設計装置及び設計方法に関し、より詳しくは、最適な基板のグレードを選択できるプリント配線基板設計装置及び設計方法に関する。

【0002】

【従来の技術】プリント配線基板には、ガラス布エポキシ基板やビルド・アップ基板等の基板形成技術で区別される何種類かの基板がある。この何種類かの基板に対しても、「4S2P（4信号層、2電源層）」や「6S2P（6信号層、2電源層）」等の設計基準（設計ルール）で区別されるいくつかのタイプがある。基板の種類及びタイプに応じて、その基板の導体の配線幅、配線間隔、ビア・ホールランドと導体との間隔、配線層の構成、異なる配線層の導体同士を接続するビア・ホール及びランドのサイズやその形成方法等が異なる。基板の種類及びタイプに応じて実現可能な配線密度が異なる。実現可能な配線密度に応じて、基板にグレードを付けることができる。実現可能な配線密度が高い基板をグレードの高い基板と呼び、実現可能な配線密度が低い基板をグレードの低い基板と呼ぶ。高いグレードの基板は、低いグレードの基板に比べて単位面積あたり多くの信号を配線できる。基板サイズや配線総数等の条件が同じならば、グレードの高い基板ほど配線の自由度が高くなるので、配線は容易になり、その設計時間も短くなる。しかし、配線幅や配線間隔を狭くする及びビア・ホールとそのランドを小さくするためには、より高度な製造技術が必要となる。そのため、グレードが高くなるほどその基板の製造コストも高くなる。

【0003】基板のグレードは、いくつかの選択候補の中から、プリント配線基板設計者の経験によって選ばれている。このような個人の経験による選択では、必要以上の高いグレードを選択したり、現実には配線不可能な低いグレードを選択してしまうことがある。必要以上の高いグレードを選択すると、本来選択すべきグレードの基板に比べて製造コストが上昇する。また、本来選択すべきグレードより低いグレードを選択すると、配線が不可能になるため、グレードを選択し直して再度設計しな

ければならない。

【0004】

【発明が解決しようとする課題】本発明の目的は、基板に配線できる総配線長と基板に配線すべき総配線長との割合を求め、この割合に基づいて最適な基板のグレードを選択することにある。

【0005】

【課題を解決するための手段】本発明のプリント配線基板設計装置は、基板の面積を求める手段と、基板の配線不可能な部分の面積を求める手段と、前記基板の面積から前記配線不可能な部分の面積を減算して求めた配線可能面積に配線できる総配線長と前記部品の結線に必要な総配線長との割合を求める手段とを含む。

【0006】また、本発明のプリント配線基板設計方法は、基板の面積を求めるステップと、基板の配線不可能な部分の面積を求めるステップと、前記基板の面積から前記配線不可能な部分の面積を減算して求めた配線可能面積に配線できる総配線長と前記部品の結線に必要な総配線長との割合を求めるステップとを含む。

【0007】

【発明の実施の形態】次に、本発明に係るプリント配線基板の設計装置及び設計方法の実施の形態について、図面に基いて詳しく説明する。本発明に係るプリント配線基板設計装置の基本構成を図1に示す。入力部32は基板情報、部品情報及び結線情報等の設計に必要な情報の入力に用いる。記憶部38は、入力部32から入力された基板情報、部品情報及び結線情報等の情報を記憶する。表示部36は、入力された情報や設計に関する各種情報の表示を行う。演算・制御部34は、記憶部38に入力された各種情報を用いて所定の演算処理を行うと共に、入力部32、表示部36及び記憶部38の制御を行う。これら、入力部32、表示部36、演算・制御部34及び記憶部38を含む本発明のプリント配線基板設計装置は、従来のプリント配線基板設計装置の機能も含む。また、本発明のプリント配線基板設計装置の記憶部38には、後述するビア数予測情報、ビア数補正情報及び設計日数情報等の過去に設計したプリント配線基板から得られた各種情報が予め記憶されている。また、記憶部38には後述する指標の情報（INDEX情報）も記憶される。

【0008】入力部32から入力される基板情報には、基板の外形寸法及びその面積等の基板に関する情報が含まれる。選択候補の各種基板のグレードに関する情報も基板情報に含まれる。部品情報には、各部品の形状、寸法、端子数、型番等の部品に関する情報や、部品の配置位置に関する情報が含まれる。結線情報には、部品（部品の端子）の結線情報や、部品の信号数及び電源数等の情報が含まれる。これら基板情報、部品情報及び結線情報は、従来のプリント配線基板設計装置に入力される情報も含む。

【0009】本発明のプリント配線基板の設計装置は、選択候補の各種グレードの基板に対し、基板に配線できる総配線長と基板に配線すべき総配線長との割合を求める。配線すべき総配線長に比べて基板に配線できる総配線長が大きいほど、配線の自由度は高くなるので、配線は容易になり、配線が実現できる可能性は高くなる。逆に、配線すべき総配線長に比べて基板に配線できる総配

$$INDEX = \frac{\text{（基板に配線できる総配線長）}}{\text{（基板に配線すべき総配線長）}} \dots (1)$$

と定義する。

【0010】基板のグレードと上記INDEXとの関係の一例を図2に示す。ただし、グレード「FR4 5LPC」は、ガラス布エポキシ材を用いた、PTH(Plated Through Hole)ビアのランド間スペースに配線が5本設けられる基板であり、グレード「SLC(Surface Laminar Circuit: IBM社) 1+1 RFP」は、基板の両側に1層ずつのビルドアップ層を持つ、PTHを樹脂で穴埋めして樹脂上を配線可能とした基板である。基板のグレードが高くなるほど配線密度が高くなるので、

(1)式の基板に配線できる総配線長が大きくなり、INDEXの値も大きくなる。また、INDEXの値が大きいほど配線の自由度が高くなるので、プリント配線基板設計装置が計算で行う自動配線のオーバー・フローも少なくなり、設計日数(TAT: Turn Around Time)も短くなる。ここで、オーバー・フローは自動配線できなかった配線数を表す。配線できなかった分は技術者が手動で配線するため、オーバー・フローが大きくなるほど手動配線数が増え、設計日数が指数的に増加する。

【0011】このように、基板のグレードとINDEXとの間には相関があり、INDEXと設計日数との間にも相関がある。これらINDEXと設計日数との関係

$$\begin{aligned} \text{（基板に配線すべき総配線長）} &= \text{（マンハッタン長の合計値）} \\ &= (Lx1 + Ly1) + (Lx2 + Ly2) \\ &\quad + \dots + (Lxn + Lyn) \dots (2) \end{aligned}$$

【0014】(1)式の基板に配線できる総配線長は、基板の配線可能な部分の面積に対して求める。配線可能な部分の面積は、基板全体の配線層に対して求める。配線を引く場合、等間隔の直交する基準線を基板上に設け、この基準線上に配線を引く。この基準線は、一般に★

$$\begin{aligned} \text{（基板に配線できる総配線長）} &= \frac{\text{（基板の配線可能面積）}}{\text{（グリッド間隔）}} \dots (3) \end{aligned}$$

【0016】ここで、(3)式の基板の配線可能面積は、基板の面積と基板の配線不可能な部分の面積とから☆

$$\begin{aligned} \text{（基板の配線可能面積）} &= \text{（基板の面積）} - \text{（配線不可能な部分の面積）} \\ &\dots (4) \end{aligned}$$

(4)式の基板の面積は、基板情報から求めることができる。しかし、基板の面積が同じ場合でも、例えば図4(a)に示す四角形型の基板8と図4(b)に示すL字型の基板10では、点A B間を結ぶ1点鎖線が示すように、四角形型の基板8の方が配線の自由度が高くなる。

*線長が小さいほど、配線の自由度が低くなるので、配線は困難になり、配線が実現できる可能性は低くなる。よって、過去に設計したプリント配線基板をもとに配線が可能となる上記割合の値を予め求めておけば、選択候補の各グレードに対して、上記割合をもとに配線可能か否かを判断することができる。以下、この割合をINDEX(指標)とも呼ぶ。本実施形態では、

10※は、設計日数情報として記憶部38に予め入力されている。設計日数情報は、過去に設計したプリント配線基板のデータをもとに作成される。よって、希望する設計期間に応じたINDEXの値(範囲)を設計日数情報から選択し、記憶部38にINDEX情報として記憶する。例えば、設計を5日から10日で行いたい場合は、設計日数情報から5日から10日に対応するINDEXの値の範囲(4.25から4.75)を選択し、INDEXにこの範囲の値(4.25及び4.75)を記憶させる。そして、選択候補の各種グレードの基板に対してINDEXの値を求め、INDEXが前記範囲の値となるグレードの基板を選択する。これにより、配線可能かつコストの低いグレードの基板を選択することができる。

【0012】(1)式の基板に配線すべき総配線長は、部品の結線の最短長(マンハッタン長)の合計値を用いる。図3に示すように、最短長(マンハッタン長)は、実際の最短距離(L1, L2, ..., Ln)ではなく、垂直な2つの方向(X方向とY方向)の距離の和で表される最短距離(Lx1+Ly1, Lx2+Ly2, ..., Lxn+Lyn)である。これら最短長(マンハッタン長)は、結線情報より算出される。

【0013】

★グリッドと呼ばれる。配線間隔の最小値は、このグリッドの間隔と見なせる。よって、基板に配線できる総配線長は、基板の配線可能面積とグリッド間隔より求めることができる。

【0015】

$$\begin{aligned} \text{（基板に配線できる総配線長）} &= \frac{\text{（基板の配線可能面積）}}{\text{（グリッド間隔）}} \dots (3) \end{aligned}$$

☆求めることができる。

すなわち、基板の面積が同じ場合でも、基板形状によって配線の自由度が異なる。このことは、基板の形状の違いによりINDEXの値に誤差が生じることを意味する。

【0017】本実施形態では、(4)式の基板の面積と

して、基板形状を考慮に入れた仮想の基板有効面積を用いる。有効面積は、基板の実際の面積 S_a (図4

(b)) と仮想の最大面積 S_m (図4 (c)) とから求める。具体的には、基板面積 S_a の仮想最大面積 S_m に対する割合より補正係数 k

$$k = S_a / S_m$$

を求め、この補正係数 k を基板面積 S_a に乗じて有効面積 S_e

$$S_e = k \times S_a$$

を求める。仮想最大面積 S_m は、基板の最外周部を基準とした四角形の面積である。そのため、補正係数 k は、基板の形状が四角形に近いほど大きくなる。ただし、 $0 < k < 1$ である。

【0018】このような補正を行うことにより、図4 (d) に示すように、基板の形状を考慮に入れた仮想の基板面積 (有効面積 S_e) を求めることができる。有効面積 S_e は、配線の自由度が低い部分の面積を考慮に入れた、現実の基板面積 S_a よりも小さな面積である。このような補正を基板面積 (S_a) に加えることにより、基板形状の違いによる配線の自由度の変化から生じる I N D E X の誤差を減少させることができる。

【0019】また、(4) 式の配線不可能な部分の面積は、基板外縁部、組み立て用ホール、導電パッド、ピン・ホール、ビア・ホール等の配線不可能な部分の面積の合計である。基板外縁部は、図3に示すように、基板外周部の配線が行えない部分 (24) である。組み立て用ホールは、基板を固定するためのネジ等を通すホールである。導電パッドは、図3に示すように、部品28のリード22を基板に接続するための端子パッドである。ピン・ホールは、部品のピンを挿入するためのホールである。ビア・ホールは層間接続用のホールである。ただし、これらホールの面積は、そのホールのランドの面積も含む。

【0020】上記基板外縁部の面積と組み立て用ホールの面積及びその数は基板情報から求めることができる。また、パッドの面積とピン・ホールの面積及びそれらの数は部品情報をもとに求めることができる。しかし、ビア・ホール数は配線前には決定されていない。そのため、通常は配線前にビア・ホールの総面積を求めることはできない。

【0021】本発明のプリント配線基板の設計装置及び設計方法では、配線前にビア・ホール数の予測を行う。具体的には、図5に示すように、基板のグレードと、部品の信号数及び電源数からビア・ホール数を予測する。このようなビア・ホール数を予測するのに必要な情報は、ビア数予測情報として記憶部38に予め入力されている。これらビア数予測情報は、過去に設計したプリント配線基板のデータをもとに作成される。図5において、グレード「SLC (1+1 on 4S2P)」 (ここで、SLC: Surface Laminar Circuit) は、両

側に1層ずつのビルドアップ層を持ち、ベースの基板に4S2P (4信号層及び2電源層) のFR4 (ガラス布エポキシ材) を用いた基板である。また、ビア・ホール数は、PTH (Plated Through Hole) ビア数とフォト・ビア数との和として求める。フォト・ビアを形成する「FV1/BV1」は、FR4基板上に形成する1層目のビルド・アップ層を表し、「FV2/BV2」は、その上の2層目のビルド・アップ層を表す。

【0022】このような基板のグレードと、部品の信号数及び電源数からビア・ホール数を予測する手段を用いることにより、配線前にビア・ホール数を求めることが可能となる。ビア・ホールのサイズは基板のグレードで決まり、求めたビア・ホール数からビア・ホールの総面積を求めて、配線不可能面積を算出できる。これにより、配線前に選択候補の各種グレードの基板に対して I N D E X を求めることが可能になる。

【0023】また、プリント配線基板全体の配線層は、信号層と電源層を含んでおり、この信号層の数に応じて、求めたビア・ホール数を補正することもできる。具体的には、図6に示すように、信号層数に応じた補正係数を求め、この補正係数をビア・ホール数に乗じて、求めたビア・ホール数を補正する。このようなビア・ホール数の補正に必要な情報は、ビア数補正情報として記憶部38に予め入力されている。ビア数補正情報は、過去に設計したプリント配線基板のデータをもとに作成される。このような信号層数に応じてビア・ホール数を補正する手段を用いることにより、ビア・ホール数をより正確に予測することができる。これにより、ビア・ホールの総面積をより正確に求めることができる。

【0024】また、本発明のプリント配線基板の設計装置及び設計方法では、ビア・ホール及びそのランドの面積に加えて、図7 (a) に示すように、ビア・ホール及びそのランド20を設けることによる配線障害面積も考慮に入れて、配線不可能な部分の面積 S_b を求める。図7 (a) はビア・ホール及びそのランド20による配線障害面積を示している。長さ a はビア・ホール及びそのランド20を通る配線42と同一方向の長さで、その長さの値は、過去に設計したプリント配線基板のデータに基づいて予め設定しておく。ビア・ホール及びそのランド20の直径を R 、ビア・ホール及びそのランド20と配線との間隔を d 、配線の基準となるグリッドの間隔を G とおくと、ビア・ホール及びそのランド20を設けたことによる配線不可能面積 S_b は、

$$S_b = (D - G) \times a \quad \dots (5)$$

$$\text{ただし、} D = (R + 2d) / \sqrt{2}$$

と表すことができる。なお、 \sqrt{n} は n の平方根を表す。 $D \times a$ で求まる面積はビア・ホール及びそのランド20を挟む配線間の面積に相当し、 $G \times a$ で求める面積はビア・ホール及びそのランド20を通る配線の面積に相当する。 S_b は、図7 (b) に示すように、ビア及びラン

ド20を設けていなければ引くことができた配線44の面積を表す。aの値は、過去の基板データをもとに、1つのビア及びランド20を設けたことによって配線が不可能となる領域の、ビア及びランド20を通る配線42方向の長さを表す値、例えば2.54 [mm]に予め設定しておく。

【0025】このように、ホール及びそのランドの面積に加えて、ホール及びそのランドを設けることによる配線阻害面積を求めることにより、ホール及びそのランドを設けることによる配線不可能面積をより正確に求めることができる。これにより、基板の配線可能面積をより正確に求めることができる。

【0026】図8に本発明のプリント配線基板設計装置を用いたプリント配線基板設計手順を示す。INDEX情報には、4.25～4.75の範囲が設定されている。この範囲は、希望する設計日数により異なる。本実施形態では、図2に示した設計日数情報より、設計日数が5日～10日となるINDEXの値(範囲)を選択している。基板情報を入力し(S100)、部品情報及び結線情報と、部品間を接続する論理回路を入力する(S102)。基板情報には、例えば図2に示すように、選択候補の6種類のグレードに関する情報が含まれる。部品の配置を行い(S104)、基板のグレードごとにINDEXを算出する(S106)。グレードごとのINDEXの算出結果の一例を図2に示す。

【0027】INDEXが所定の範囲(4.25～4.75)となるグレードが存在するか判定し(S110)、INDEXが所定の範囲となるグレードが無ければ、部品の配置を変更して(S112)、再度INDEXを求める(S106)。INDEXが所定の範囲となるグレードがあれば、そのグレードの基板を選択する。図2に示した例では、「SLC 1+1」の基板が選択される。INDEXが前記所定の範囲となるグレードが複数ある場合は、コストを重視するならグレードの低い基板を選択し、設計時間を重視するならグレードの高い基板を選択する。基板のグレードが決まれば、電源(Power)ライン、グランド(Gnd)ライン、高周波ライン、高電流ライン、バス・ライン等のノイズや遅延等の信号品質に注意すべきライン(Critical net)の配線の設計を行う(S114)。その後自動配線を行い(S116)、自動配線できなかった部分を手動配線する(S118)。

【0028】また、INDEXは基板全体に対して求める以外に、図9に示すように、例えば8×4に区分けされた各領域[(1,1), ..., (1,8), ..., (4,1), ..., (4,8)]ごとにINDEXを求めて、これらを平均して全体のINDEXを求めることもできる。各INDEXを求めるのに必要な各パラメータは、各領域ごとに求める。領域ごとに求められない場合は、全領域の信号数及び電源数に対するその領域の信号数及び電源数の割合に応じてその

領域のパラメータを求める。例えば、領域(1,1)のビア・ホール数は、

$$(\text{全領域のビア・ホール数}) \times [(\text{領域}(1,1) \text{の信号数及び電源数}) / (\text{全領域の信号数及び電源数})]$$

より求める。

【0029】各領域ごとにINDEXを求めた場合、配置変更(S112)や手動配線(S118)等の効率を向上させることができる。例えば、特定領域のINDEXが極端に小さい場合は、その領域に配線が集中していることを意味する。そこで、その領域内の部品のいくつかを他の領域に移す等して配線を他の領域に分散し、その領域のINDEXを全体の平均に近づけることができる。また、その領域内を手動配線した後に自動配線を行うこと等もできる。このように、区分けされた領域ごとにINDEXを求めると、局所的に問題が生じている場合の対処が容易になる。

【0030】以上、本発明に係るプリント配線基板の設計装置及び設計方法の実施例について、図面に基づいて種々説明したが、本発明は図示したプリント配線基板の設計装置及び設計方法に限定されるものではない。例えば、予算の都合等で基板のグレードが既に決定されている場合は、設計日数を予測する手段として本発明を用いることができる。その他、本発明はその趣旨を逸脱しない範囲で当業者の知識に基づき種々なる改良、修正、変形を加えた態様で実施できるものである。

【図面の簡単な説明】

【図1】本発明に係るプリント配線基板設計装置の基本構成の一例を示す図である。

【図2】基板のグレードとINDEX及び設計日数との関係の一例を示す図である。

【図3】基板の配線不可能な面積の一例を説明する図であり、基板外縁部とパット部分を示している。また、部品間の結線の最短長(マンハッタン長)の一例を説明する図でもある。

【図4】基板の面積を説明する図であり、同図(b)は実際の面積を示す図であり、同図(c)は仮想の最大面積を示す図であり、同図(d)は仮想の有効面積を示す図である。

【図5】基板のグレードと信号数及び電源数からビア・ホール数を予想するためのデータの一例である。

【図6】基板のグレードと信号層数からビア・ホール数の補正係数を求めるためのデータの一例である。

【図7】ホールを設けることによる配線阻害面積を説明する図である。

【図8】本発明を用いた基板設計手順の一例を示す図である。

【図9】複数の領域に区分けされた基板を示す図である。

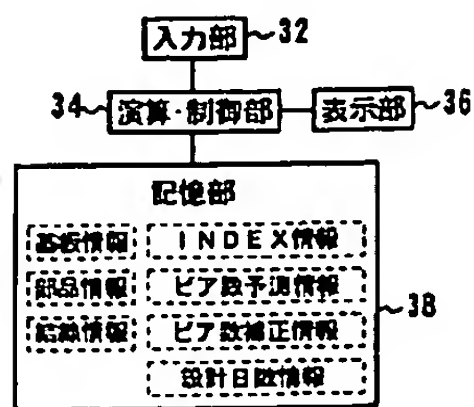
【符号の説明】

10：プリント配線基板

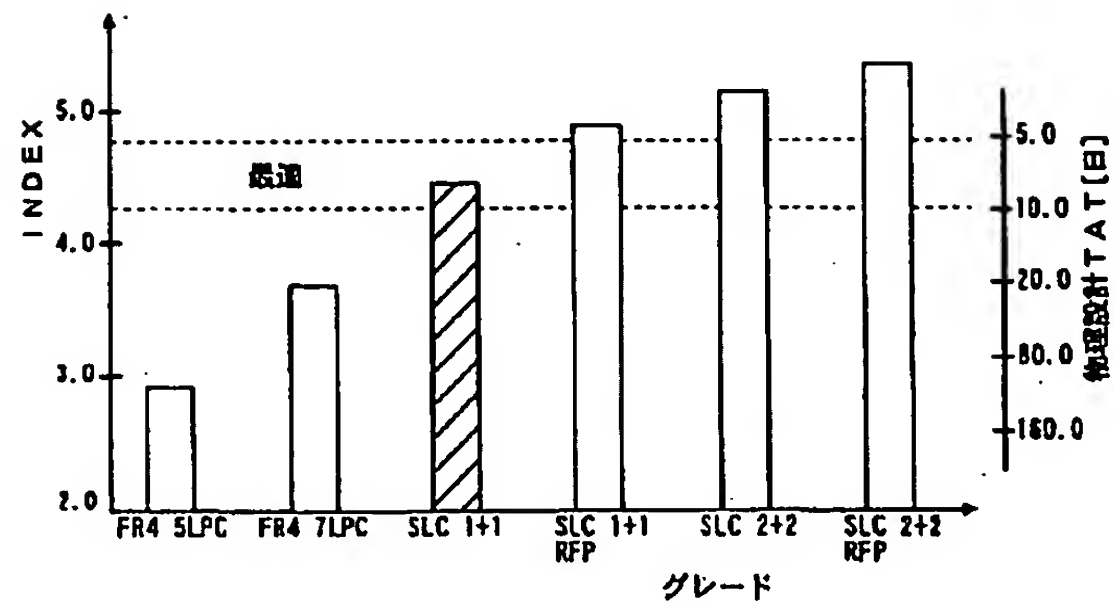
20: ホール
 22: パッド
 24: 基板周縁部
 26: 区分けされた領域
 28: 部品

* 32: 入力部
 34: 演算・制御部
 36: 表示部
 38: 記憶部
 * 42, 44: 配線

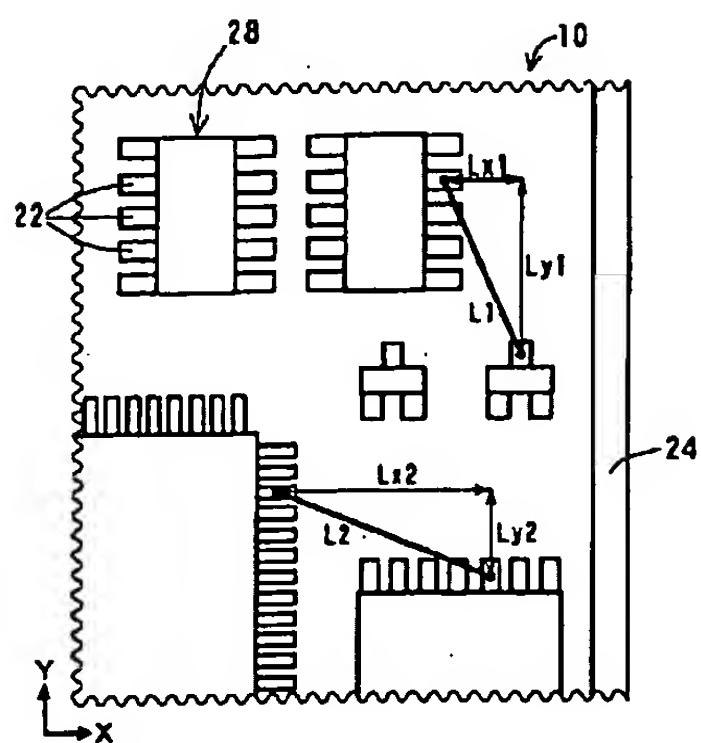
【図1】



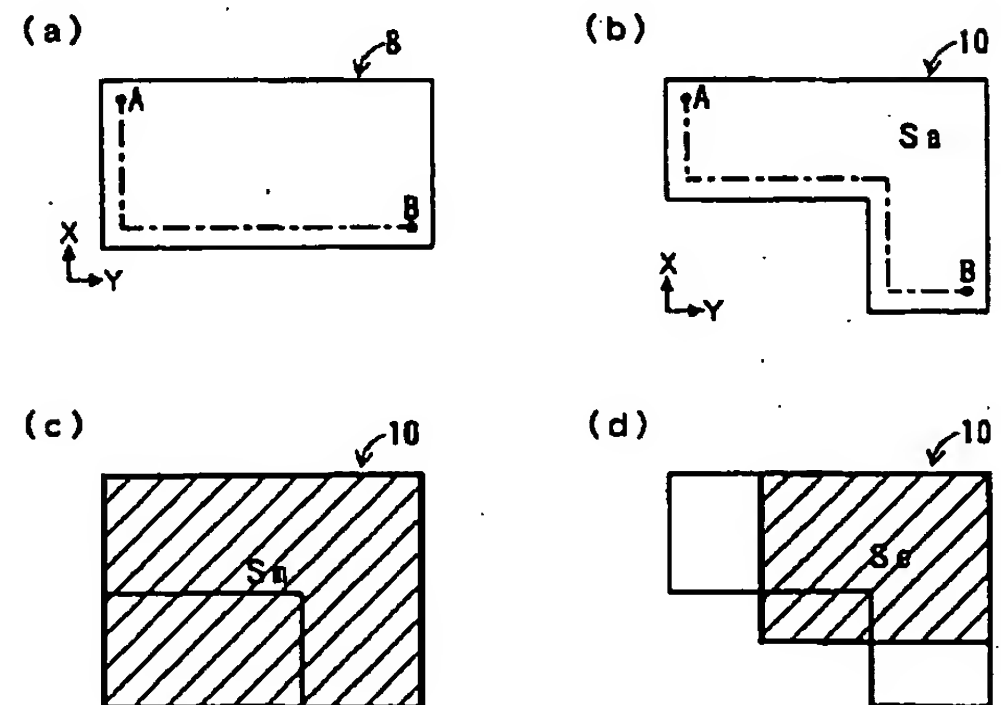
【図2】



【図3】



【図4】



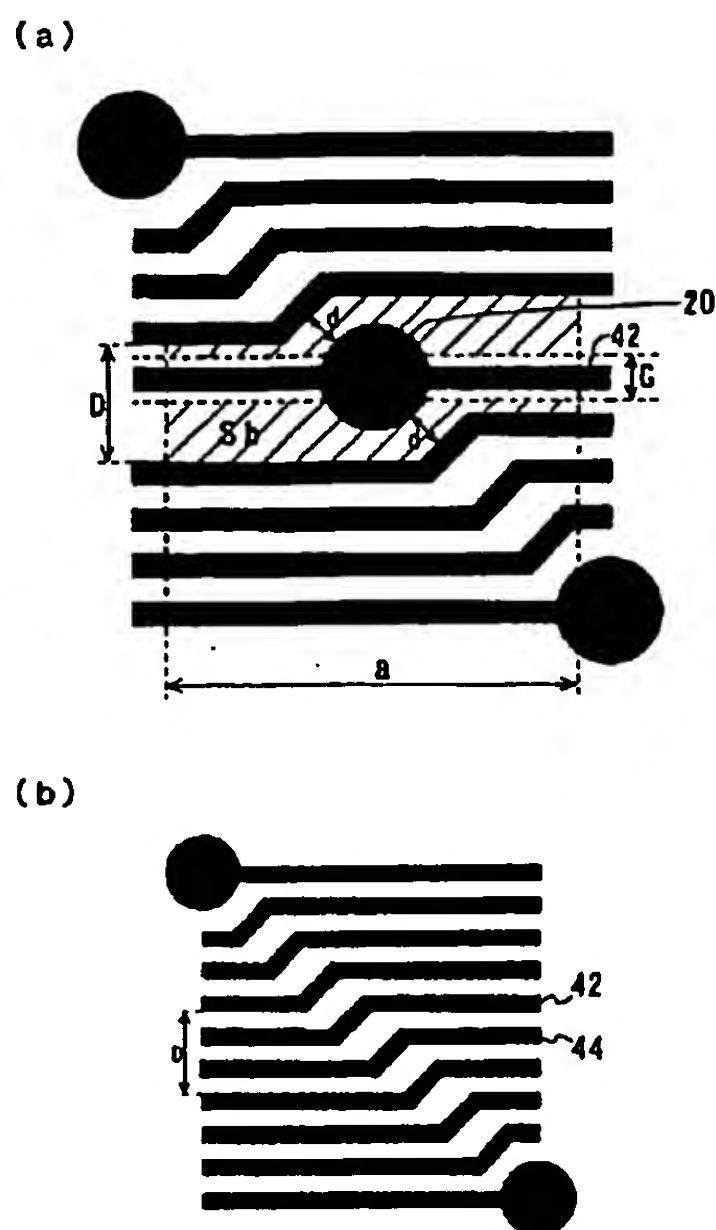
【図5】

グレード	PTHビア数	フォット・ビア数 (FV1/BV1)	フォット・ビア数 (FV2/BV2)
FR4	(信号数×1.1)+電源数	—	—
SLC(1+1on4S2P)	(信号数×0.5)+電源数	信号数×0.6	—
SLC(1+1on8S2P)	(信号数×0.6)+電源数	信号数×0.6	—
SLC(2+2on2S2P)	(信号数×0.25)+電源数	信号数×0.5	信号数×0.5
SLC(2+2on4S2P)	(信号数×0.3)+電源数	信号数×0.5	信号数×0.5

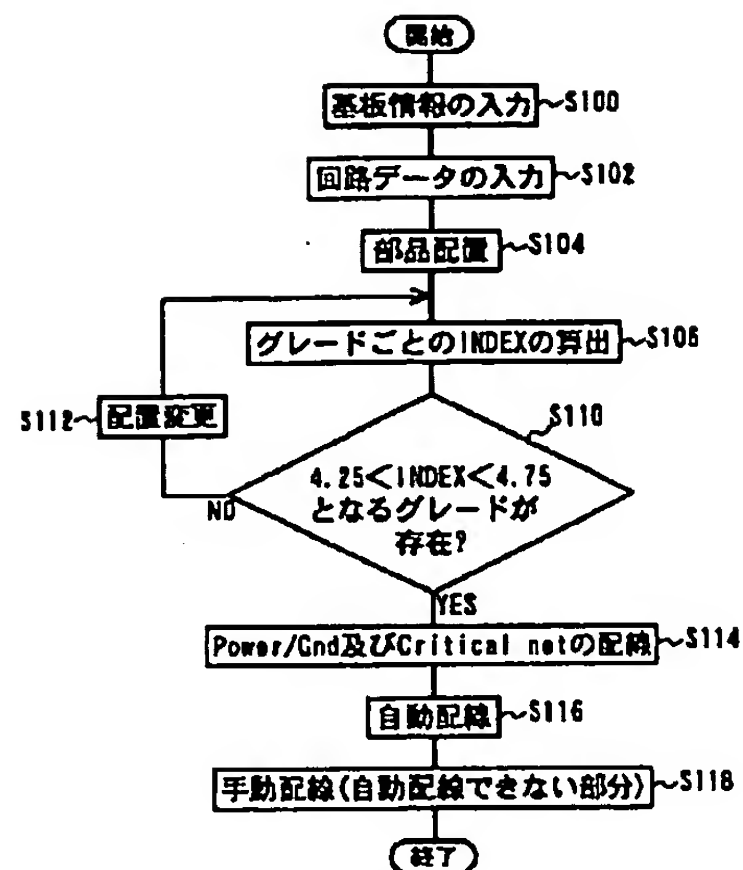
【図6】

信号層数	グレード	補正係数
6	FR4 9LPC	1.08
8	FR4 9LPC	0.98
10	FR4 7LPC	0.95

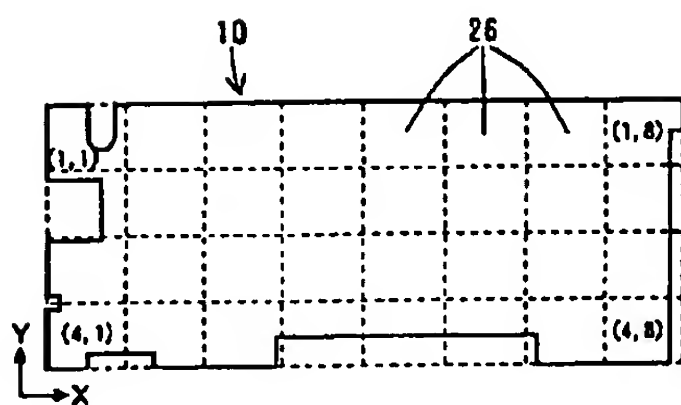
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 西尾 俊彦
滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業
所内

(72)発明者 中村 伸治
滋賀県野洲郡野洲町大字市三宅800番地
日本アイ・ビー・エム株式会社 野洲事業
所内

Fターム(参考) 5B046 AA08 BA04 BA08 GA01 KA06